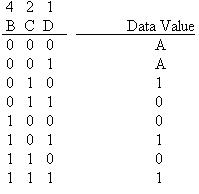
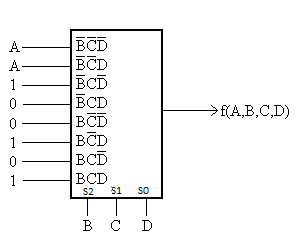
PROBLEMAS DEL TEMA 7

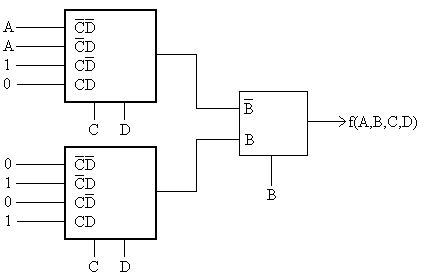
# Dada la tabla de verdad indicada implementarla con un mux de 8 a 1



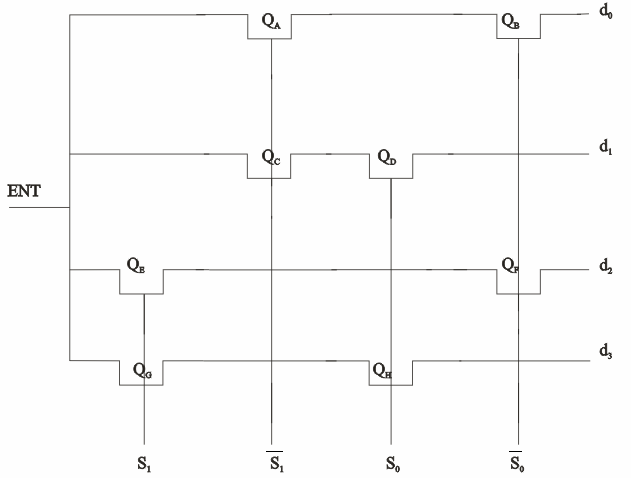
Solución:



# Implementar la tabla de verdad anterior con 2 muxes de 4 a 1 y uno de 2 a 1.

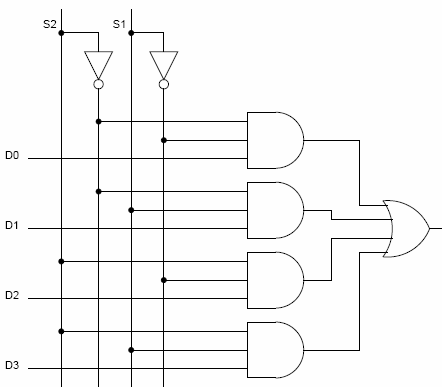


# Dado el circuito de la figura indicar de qué clase de circuito se trata.



Solución: Es un demultiplexor de 1 a 4

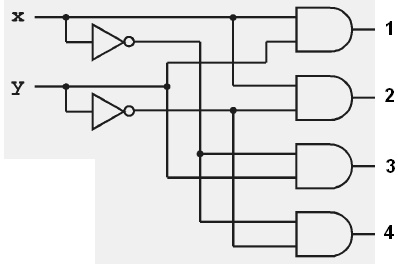
# Dado el siguiente circuito mux que tiene ANDs de cuatro entradas hacer los cambios necesarios para que disponga de una entrada de validación (E) a nivel bajo.



Solución:

Introducir en cada AND la señal ~E

# En el decodificador de la figura, si x=0 e y=1 ¿Qué línea queda habilitada?



Solución: La tercera salida

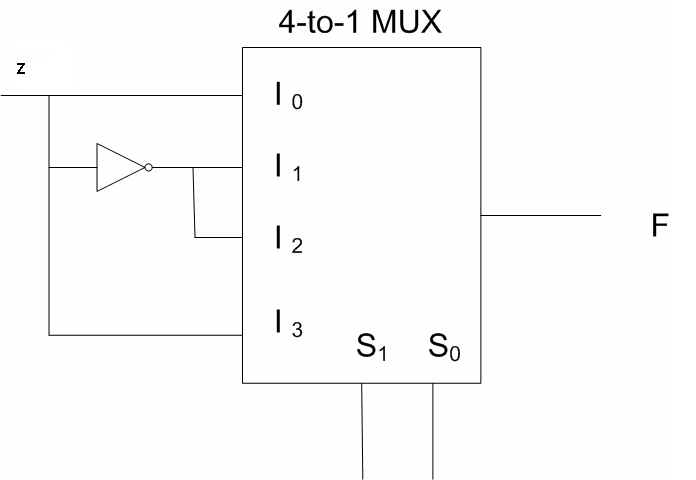
# Implementar la función canónica F = x’.y’.z+ x’.y.z’+x.y’.z’ +x.y.z mediante un mux de 4 a 1.

.

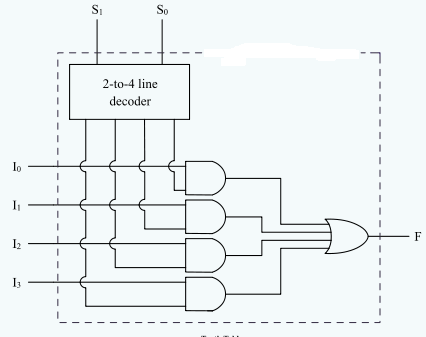
La salida F del MUX será F =S’1. S’0. I0 + S’1. S0. I1 + S1. S’0. I2 + S1. S0. I3

Si asumimos que x = S1 , y = S0

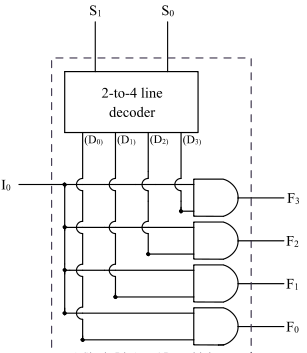
Para obtener la función canónica indicada, los valores de la entrada serán I0 = I3 =Z ; I1 = I2 =Z’



# Indicar que clase de circuito combinacional es el de La figura y obtener la tabla de verdad del circuito siguiente.



Solución: es un multiplexor 4 a 1



# En el sistema de la figura, para la combinación S3S2S1S0 = 0001, determine qué información aparecerá en la salida X e indique cómo se puede denominar el sistema completo.

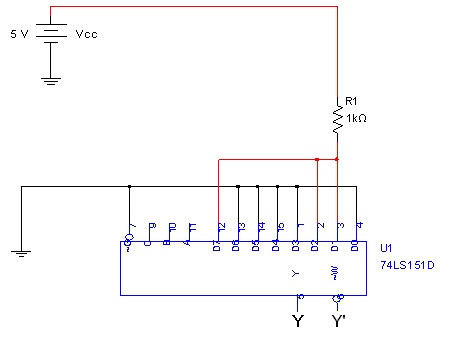


**Solución:**

S3= 0 implica que el multiplexor superior está habilitado por activarse a nivel bajo y el multiplexor inferior está inhabilitado por la misma razón. Entonces en X aparecerá la información de la entrada D1.

Se trata de un multiplexor de 16 entradas, formado por la combinación de dos multiplexores de ocho entradas.

# Indique la función lógica que implementa el multiplexor de la figura.



**Solución:**

Un multiplexor puede utilizarse para implementar un circuito lógico que satisfaga una tabla de verdad. En este caso sería

|  |  |  |  |
| --- | --- | --- | --- |
| **C** | **B** | **A** | **Y** |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

y la función lógica sería

**Z = AB’C’ + A’BC’ + ABC**

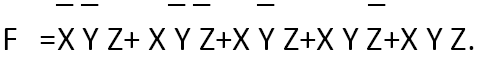
# Indique los estados de las salidas del decodificador de la figura para los valores de las entradas: C = 0, B =A = 1



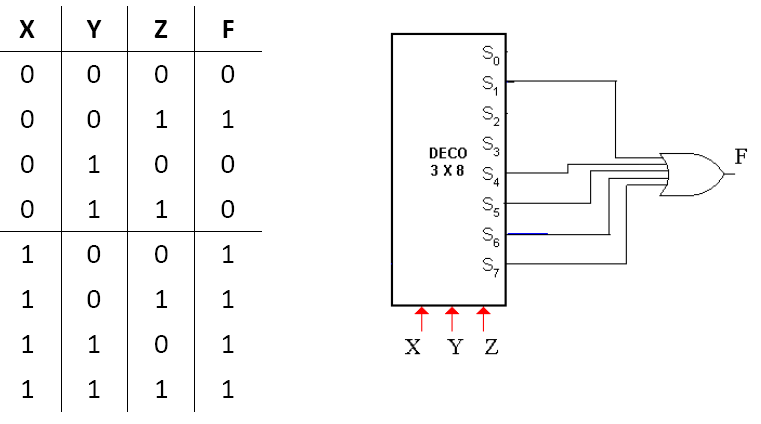
**Solución:**

Todas las entradas de habilitación estarán activadas, por lo que la porción de descodificación estará habilitada. Descodificará el código de entrada 0112 = 310 para activar la salida Y3. Por ende, Y3’ estará en nivel bajo y todas las demás salidas estarán a nivel alto.

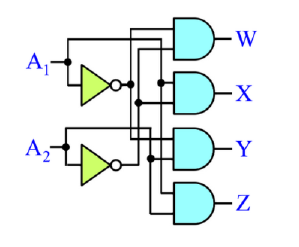
# Implementar la función indicada mediante un decodificador 3 por 8 y una puerta OR



**Solución:**

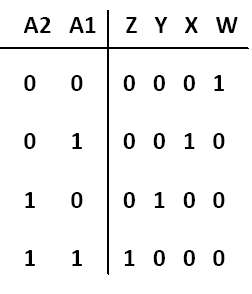


# El esquema de la figura es un circuito combinacional muy difundido en aplicaciones digitales. Escribir tabla de verdad e indicar funcionalidad del mismo



**Solución:**

Es un decodificador 2 a 4, con A2 como entrada MSB . Z es la salida MSB y W la LSB. La tabla de verdad es:



# El circuito de la figura es una función lógica F=f(A,B) realizada con transistores MOS.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | |  | |  | |  | |  | |  | | A | B | | Q1 | | Q2 | | Q3 | | Q4 | | | **F** | | 0 | 0 | | ON | | ON | | OFF | | OFF | | | 1 | | 0 | 1 | | ON | | OFF | | OFF | | ON | | | 0 | | 1 | 0 | | OFF | | ON | | ON | | OFF | | | 0 | | 1 | 1 | | OFF | | OFF | | ON | | ON | | | 0 | | |

|  |  |
| --- | --- |
|  |  |

**a)- Complete la tabla de verdad del circuito indicando los valores “0” ó “1” para A, B y F, e indique además el estado (ON u OFF) de los transistores Q1,Q2, Q3 y Q4.**

**c)- ¿Qué función lógica realiza este circuito? Dibuje su símbolo en circuitos digitales..**

Es la función NOR de dos entradas:



# Dado el siguiente circuito.



**2.1 Determine a partir del circuito la expresión algebraica de la función F.**

**2.2 Complete la tabla de verdad.**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | **c** | **b** | **a** | **F** |
| **m0** | **0** | **0** | **0** | **1** |
| **m1** | **0** | **0** | **1** | **0** |
| **m2** | **0** | **1** | **0** | **0** |
| **m3** | **0** | **1** | **1** | **1** |
| **m4** | **1** | **0** | **0** | **1** |
| **m5** | **1** | **0** | **1** | **1** |
| **m6** | **1** | **1** | **0** | **1** |
| **m7** | **1** | **1** | **1** | **1** |

(Considerea bit menos significativo, y c bit más significativo)

**2.3 Determine la forma canónica de F.**

En minitérminos: